

**BEST AVAILABLE COPY**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-063695  
(43)Date of publication of application : 19.03.1991

(51)Int.Cl. G09G 5/36  
A63F 9/22  
G06F 15/62  
G06F 15/66

(21) Application number : 01-200073

(71)Applicant : RICOH CO LTD  
NINTENDO CO LTD

(22) Date of filing : 01.08.1989

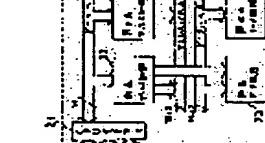
(72)Inventor : TAKAHASHI TOYOFUMI  
MIYOSHI MICHITAKA  
OTAKE MASAHIRO  
SAIKAI SATOSHI

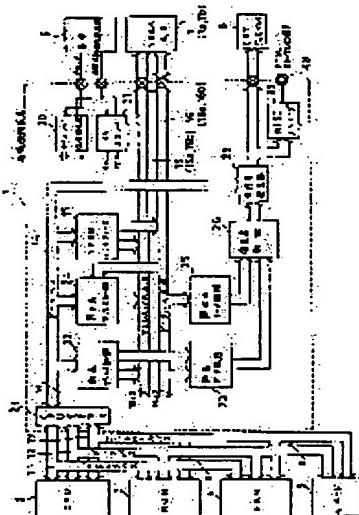
## (54) IMAGE PROCESSOR

**(57)Abstract:**

**PURPOSE:** To display the same background image before and after rotation by calculating a storage address corresponding to the display position of an image after the image is rotated by an arithmetic means, reading image data out of the address and generating a video signal.

**CONSTITUTION:** According to a program stored in a RAM 3, a control circuit 24 calculates an address CAA where a still image character code (SC) at the time of rotation and enlargement/reduction is stored from constant data of rotation and enlargement/reduction processing inputted from a CPU 2 and outputs the address, and the SC outputted from a VRAM 7b and the address CAA consisting of data  $y_d$  and  $x_d$  are outputted in response to output color data at the time of the rotation and enlargement/reduction processing from the VRAM 7a to a processing circuit 25 and then input it to a circuit 26. On the other hand, moving image data is inputted from a circuit 23 to a circuit 29, an RGB separation digital signal is outputted to a display 8 and an encoder 32, and an original background image is rotated, reduced and displayed 8.





## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-63695

⑬ Int. Cl.<sup>5</sup>

G 09 G 5/36  
A 63 F 9/22  
G 06 F 15/62  
15/66

識別記号

府内整理番号

⑭ 公開 平成3年(1991)3月19日

B  
3 4 0  
3 4 5

8839-5C  
8403-2C  
8125-5B  
8419-5B

審査請求 未請求 請求項の数 6 (全22頁)

⑮ 発明の名称 画像処理装置

⑯ 特願 平1-200073

⑰ 出願 平1(1989)8月1日

⑱ 発明者 高橋 豊文 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 発明者 三好 通貴 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑳ 発明者 大竹 雅博 京都府京都市東山区福稻上高松町60番地 任天堂株式会社内

㉑ 発明者 西 海 聰 京都府京都市東山区福稻上高松町60番地 任天堂株式会社内

㉒ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号

㉓ 出願人 任天堂株式会社 京都府京都市東山区福稻上高松町60番地

明細書

1. 発明の名称

画像処理装置

2. 特許請求の範囲

(1) 回転処理前の背景画像の表示位置に対応するアドレスに、背景画像の画像データを格納する記憶手段、

回転処理の制御データに基づいて、背景画像の回転処理を行ったときの背景画像の表示位置に対応する前記記憶手段のアドレスを演算する演算手段、

前記演算手段によって演算された前記記憶手段のアドレスに格納されている画像データを読み出す読出手段、および

前記読出手段によって読み出された画像データに基づいて、映像信号を発生する映像信号発生手段を備えた、画像処理装置。

(2) 回転及び拡大縮小処理前の背景画像の表示位置に対応するアドレスに、背景画像の画像データを格納する記憶手段、

回転及び拡大縮小処理の制御データに基づいて、背景画像に対する回転処理及び拡大縮小処理のうち少なくともいずれか一方の処理を行ったときの背景画像の表示位置に対応する前記記憶手段のアドレスを演算する演算手段、

前記演算手段によって演算された前記記憶手段のアドレスに格納されている画像データを読み出す読出手段、および

前記読出手段によって読み出された画像データに基づいて、映像信号を発生する映像信号発生手段を備えた、画像処理装置。

(3) 前記演算手段は、

回転および/または拡大縮小のためのパラメータデータ (A, B, C, D) と、回転および/または拡大縮小の中心座標データ ( $x_1, y_1$ ) と、背景画の座標データ ( $x_1, y_1$ ) を制御データとして発生する制御データ発生手段と、

前記制御データ発生手段からのパラメータデータ (A, B, C, D) と中心座標データ ( $x_1, y_1$ ) と座標データ ( $x_1, y_1$ ) とに基づいて、

$$\begin{pmatrix} x_1 \\ y_1 \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \begin{pmatrix} x_0 - x_0 \\ y_0 - y_0 \end{pmatrix} + \begin{pmatrix} x_0 \\ y_0 \end{pmatrix}$$

式のマトリクス演算（但し、 $x$  方向の拡大縮小倍率を  $\alpha$ 、 $y$  方向の拡大縮小倍率を  $\beta$ 、回転角度を  $\gamma$  としたとき  $A = 1/\alpha \cdot \cos \gamma$ 、 $B = 1/\alpha \cdot \sin \gamma$ 、 $C = -1/\beta \cdot \sin \gamma$ 、 $D = 1/\beta \cdot \cos \gamma$  とし、水平方向のオフセットデータを  $H_r$ 、水平方向の表示位置データを  $H$ 。としたとき  $x_1 = H_r + H$ 。、垂直方向のオフセットデータを  $V_r$ 、垂直方向の表示位置データを  $V$ 。としたとき  $y_1 = V_r + V$  とする。）を行うマトリクス演算手段とを含む、請求項第2項記載の画像処理装置。

(4) 前記画像処理装置は、ラスタスキャン型ディスプレイに背景画を表示するために用いられるものであって、

前記演算手段は、ラスタスキャン型ディスプレイの水平場線期間中に事前の演算処理を実行し、

水平走査期間中に残りの演算処理を実行する、請求項第3項記載の画像処理装置。

(5) 前記画像処理装置は、ラスタスキャン型ディスプレイに背景画を表示するために用いられるものであって、

前記記憶手段は、ラスタスキャン型ディスプレイの縦横の表示サイズに対応する記憶エリアよりも大きな記憶エリアを含み、

前記制御データ発生手段は、表示サイズよりも大きな記憶エリアに記憶されている画像データのうち、表示サイズに対応する表示すべきエリアを指定するデータを発生する手段を含む、請求項第4項記載の画像処理装置。

(6) 前記演算手段は、回転および／または拡大縮小のためのパラメータデータを  $A (=1/\alpha \cdot \cos \gamma)$ 、 $B (=1/\alpha \cdot \sin \gamma)$ 、 $C (= -1/\beta \cdot \sin \gamma)$ 、 $D (=1/\beta \cdot \cos \gamma)$  とし、回転および／または拡大縮小の中心座標データを  $(x_0, y_0)$  とし、背景画の座標データを  $(x_1, y_1)$  とし、 $x_1 = H_r + H$ 。（但し、 $H_r$  は水平方向

のオフセットデータ、 $H_r$  は水平方向の表示位置データ）とし、 $y_1 = V_r + V$ 。（但し、 $V_r$  は垂直方向のオフセットデータ、 $V$  は垂直方向の表示位置データ）としたとき、

$$\begin{aligned} x_1 &= A(H_r - x_0) + B(V_r - y_0) \\ &\quad + x_0 + A \cdot H_c + B \cdot V_c \\ y_1 &= C(H_r - x_0) + D(V_r - y_0) \\ &\quad + x_0 + C \cdot H_c + D \cdot V_c \end{aligned}$$

式の演算を行う手段を含む、請求項第2項記載の画像処理装置。

### 3. 発明の詳細な説明

#### [産業上の利用分野]

本発明は動画だけでなく背景画（又は静止画）も表示可能なテレビゲーム装置等に用いられる画像処理装置に関する。

#### [従来の技術]

動画を回転させる技術としては、特公昭55-45,225号および特開昭51-113,529号（対応U.S.P.4,026,555号）がある。一方、背景画を回転させる技術としては、第14図に示す回路が知られて

いる。第14図において、画像処理ユニット101には、ランダムアクセスメモリ（以下、「RAM」という）から成るビデオRAM（以下、「VRAM」という）102が接続されるとともに、CPU103が接続される。CPU103には、背景画と動画の画像データに併せてこの画像データを表示制御するための制御データを記憶した主メモリ104が接続される。主メモリ104に記憶された画像データは、画像処理ユニット101を介してVRAM102に転送される。CPU103からの制御データに基づいて、画像処理ユニット101がVRAM102から適宜データを読み出してビデオ信号としてディスプレイ装置105に出力して該データの画像を表示させる。なお、VRAM102のアドレスはディスプレイ装置105に表示される画像の水平方向の位置と垂直方向の位置に対応し、VRAM102の各アドレスに上記動画又は背景画（場合によってはこれに加えて動画）の画像データが格納される。

上記従来テレビゲーム装置において、所定の背

### 特開平3-63695(3)

景画を回転又は拡大縮小させてディスプレイ装置 105 に表示させる場合、ビデオ信号の垂直掃線期間中において、VRAM 102 に格納された元の背景画の画像データの表示画面の水平方向位置（以下「水平位置」）と垂直方向（以下「垂直位置」）位置に基づいて、CPU 103 が該背景画を回転又は拡大縮小させた場合の水平位置及び垂直位置のそれぞれを計算し、元の背景画の画像データを計算された水平位置及び垂直位置に対応するVRAM 102 のアドレスに書き込む。その後、画像処理ユニット 101 が水平走査期間中にVRAM 102 に書き込まれたデータを順次ビデオ信号に変換して、ディスプレイ装置 105 に出力する。

一方、背景画を拡大縮小する技術としては、特開昭60-172088号（対応U.S.P. 4754270号）がある。

#### [発明が解決しようとする課題]

しかしながら、特公昭55-45225号または特開昭51-113529号の技術は、背景画の回転には使用できない。

背景画と同一の形状で表示ができない問題点があった。

さらに、特開昭60-172088号の技術は、背景画を回転させながら拡大縮小できず、しかも回転処理と拡大縮小処理を共通の回路で実現できない問題点があった。

それゆえに、この発明の主たる目的は、回転前と後で元の背景画像が変形することなく、全く同じ形状の背景画像を表示し得る、画像処理装置を提供することである。

この発明の他の目的は、背景画像の回転および／又は拡大縮小の処理をCPUの負担なく比較的高速で実行でき、元の画像が変形することなく再現し得る画像処理装置を提供することである。

この発明のさらに他の目的は、背景画像を回転させながら同時に拡大縮小の処理を実現し得る、画像処理装置を提供することである。

#### [課題を解決するための手段]

請求項1に係る発明は、回転処理前の背景画像の表示位置に対応するアドレスに背景画像の画像

また、第14図に示す従来技術は、背景画を回転又は拡大縮小させて表示させる場合、CPU 103 が回転又は拡大縮小させたときの水平位置及び垂直位置を計算する必要があるために、CPU 103 のスループットが低下してCPU 103 が他の画像処理を行うことができず、背景画の回転又は拡大縮小の処理が比較的長い時間を要する問題点があった。

また、上述のように背景画を回転又は拡大縮小の処理を行う場合、VRAM 102 に格納された背景画の画像データを書き替えてるので、回転又は拡大縮小の処理前の元の背景画の画像データを保存することができない。従って、例えば元の背景画を30度ずつ繰り返し回動させて結果的に元の背景画を360度だけ回転（1回転）させたとき、各回動時の計算誤差が累積して元の背景画と異なる座標位置に表示されるとともに背景画の形状が元の形状とは異なる图形として表示されることになる。すなわち、上述のように元の背景画を保存することができないので、元の正確な位置に元の

データを格納する記憶手段と、回転処理の制御データに基づいて背景画像の回転処理を行ったときの背景画像の表示位置に対応する記憶手段のアドレスを演算する演算手段と、演算手段によって演算された記憶手段のアドレスに格納されている画像データを読み出す読出手段と、読出手段によって読み出された画像データに基づいて映像信号を発生する映像信号発生手段とを備えたことを特徴とする。

請求項2に係る発明は、回転及び拡大縮小処理前の背景画像の表示位置に対応するアドレスに背景画像の画像データを格納する記憶手段と、回転及び拡大縮小処理の制御データに基づいて背景画像に対する回転処理及び拡大縮小処理のうち少なくともいずれか1つの処理を行ったときの背景画像の表示位置に対応する上記記憶手段のアドレスを演算する演算手段と、上記演算手段によって演算された上記記憶手段のアドレスに格納されている画像データを読み出す読出手段と、上記読出手段によって読み出された画像データに基づいて映

像信号を発生する映像信号発生手段とを備えたことを特徴とする。

#### [作用]

以上のように構成することにより、画像に対する回転（及び／又は拡大縮小）処理前において、記憶手段が回転（及び／又は拡大縮小）処理前の画像の表示位置に対応するアドレスに画像の画像データを格納する。

次に、画像に対する回転（及び／又は拡大縮小）処理において、演算手段が回転（及び／又は拡大縮小）処理の制御データに基づいて画像に対する回転（及び／又は拡大縮小）処理を行った時の画像の表示位置に対応する記憶手段のアドレスを演算した後、読み出手段が演算手段によって演算された記憶手段のアドレスに格納されている画像データを読み出し、映像信号発生手段が読み出手段によって読み出された画像データに基づいて映像信号を発生する。これによって、記憶手段によって格納された画像データの画像に対する回転処理（及び／又は拡大縮小）処理のうち少なくともいずれ

か1つの処理を行った時の映像信号が得られる。

#### [実施例]

以下の実施例では、本発明の画像処理装置をテレビゲーム機に適用した場合を説明するが、本発明はラスタスキャン方式等のCRTディスプレイに接続して使用されるゲーム以外の処理も目的としたパーソナルコンピュータ等の各種の画像処理装置にも適用できることを予め指摘しておく。

第1図は本発明の一実施例であるテレビゲーム装置のブロック図である。

実施例の説明に先立ち、この実施例が適用されるディスプレイを説明する。一般に、テレビゲーム機に適用されるディスプレイは、RGBモニタまたは標準テレビジョン受像機等のラスタスキャン型CRTディスプレイが用いられる。その1画面は、 $256 \times 256$  ドットの画素（ピクセル）に分割される。但し、垂直方向のドット数は、ブラウン管の曲面により上下の数ラインで正確に画像を表示できない部分があるので、実際にはそのラインを除いた224ドットが利用される。従って、背

景画（及び／又は動画）の最小単位の1キャラクタが $8 \times 8$ ドットからなる場合は、1画面で同時に $32 \times 28 = 896$ 個のキャラクタを表示できる。

このテレビゲームは、プレイヤの操作によっては個々に変化を与えることのできない背景となる背景画（または静止画）と、プレイヤの操作またはCPU2の制御により移動する動画とが独立して制御されるもので、背景画と動画を合成したビデオ信号をCRTディスプレイ8に出力して表示する画像処理ユニット1を備える。特に、画像処理ユニット1が背景画アドレス制御回路24を含み、この回路が背景画を回転及び／又は拡大縮小処理時において、背景画の画像データが格納されているVRAM7の読み出アドレスを演算処理によって求めて、画像データに変化を加えることなく読み出アドレスを変化させるだけで回転及び／又は拡大縮小処理を行うことを特徴としている。

第1図において、テレビゲーム機の各種制御を行うためのCPU2には、アドレスバス11、データバス12及びコントロールバス13を介して、リード

ドオンリメモリ（ROM）3、RAM4及びキーボード4が接続される。

ROM3はテレビゲーム機の制御のためのプログラムデータと該プログラムを実行するために必要なデータとキャラクタデータを記憶するものであり、例えばテレビゲーム機に対して着脱自在なカートリッジ（図示せず）に収納される。このプログラムデータは、どのような種類の移動キャラクタおよび／または背景キャラクタをどのタイミングで画面のどの座標位置に表示させるかを決めるデータや、回転・拡大・縮小処理のためのデータ等を含む。ここで、移動キャラクタデータ（動画属性データ）としては、1キャラクタにつき、水平位置を指定する水平位置データ（Hc;8ビット）、垂直位置を指定する垂直位置データ（Vc;8ビット）、キャラクタの種類を指定するキャラクタコード（8ビット）およびカラーパレットを指定するパレットコード（3ビット）、キャラクタの上下左右の反転表示を指定する反転コード（2ビット）、キャラクタのドットサイズを指定する

サイズコード（1ビット）および背景画との優先順位を指定する優先順位データ（2ビット）が含まれる。背景キャラクタデータとしては、1キャラクタにつき、キャラクタの種類を指定するキャラクタコード（8ビット）およびキャラクタを構成している画素毎の色データ（8ビット）等が含まれる。この背景キャラクタを多数組み合わせて表示することによって背景画（静止画）が構成され、移動キャラクタを複数表示することによって動画が構成され、背景画と動画が同じ画面上で合成されて表示される。但し、1つの背景画を表示させるためのデータとしては、どの背景キャラクタを後述のVRAMエリア40の縦横のどのアドレスに書き込みかつ従ってそれに対応する画面上の所望の位置（座標）に表示すべきかを指定するために、背景画の各アドレスに対応する背景キャラクタコードで指定される。

RAM4は、上記CPU2のワークエリアとして用いられる。キーボード4は、プレイヤが移動キャラクタを制御するための情報を入力するもの

である。

さらに、CPU2には、アドレスバス11、データバス12及びコントロールバス13を介して、画像処理ユニット1に含まれるCPUインターフェース回路21が接続される。画像処理ユニット1には、基準信号発生器6、2つのRAM(7a, 7b)を含むVRAM7、及びRGBモニタ8aまたは標準テレビジョン受像機8b等のCRTディスプレイ8が接続される。

画像処理ユニット1は、CPU2の制御に基づいて、垂直帰線期間中または強制転送タイミングにおいて動画及び背景画の画像データをVRAM7に転送するとともに、VRAM7に記憶されている動画及び／又は背景画の画像データをそのまま読出制御しもしくは本願の特徴となる回転・拡大・縮小の処理をして得られる画像データを出力し、その画像データをRGB信号及び／又はNTSCカラー信号に変換して出力するものである。

具体的には、画像処理ユニット1はCPUインターフェース21を含み、CPUインターフェース

21にはデータバス14を介して動画アドレス制御回路22、背景画アドレス制御回路23、VRAMインターフェース27及び色信号発生回路28が接続される。動画アドレス制御回路22にはアドレスバス15が接続され、背景画アドレス制御回路23及びVRAMインターフェース27にはアドレスバス15及びデータバス16が接続される。アドレスバス15及びデータバス16のそれぞれは、2つのVRAM7a, 7bのそれぞれに対応するバス15a, 15bとバス16a, 16bを含む。そして、データバス16には、動画データ処理回路23及び背景画データ処理回路24が共通接続される。この動画アドレス制御回路22及び動画データ処理回路23によって動画に関する画像処理が行われ、背景画アドレス制御回路23及び背景画データ処理回路24によって背景画に関する画像処理が行われる。動画データ処理回路23及び背景画データ処理回路24の出力が優先度制御回路26に与えられる。優先度制御回路26の出力が色信号発生器28でRGB信号に変換され、直接RGBモニタ8aに与えられるとともに、NTSCエンコーダ29で

NTSCカラーテレビ信号に変換されて出力端子9から標準テレビ受像機8bに出力される。

さらに、画像処理ユニット1は、タイミング信号発生器30及びHVカウンタ31を含む。このタイミング信号発生器30は、基準信号発生器6から出力される21.447MHzのクロックと垂直同期信号及び水平同期信号に基づいて各種タイミング信号を発生する。HVカウンタ31は、基準信号発生器6からのクロック、垂直同期信号及び水平同期信号に基づいて、第2図の表示画像エリア51内の水平方向及び垂直方向の表示位置のそれぞれを指定するカウンタデータH., V.を計数する。

第2図はCRTの表示画面エリアとVRAM7の背景画記憶エリアとの関係を示す図である。CRTディスプレイ8の表示画面エリア41は、例えば水平（横；x）方向に32キャラクタ、垂直（縦；y）方向に28キャラクタの長方形で構成される。一方、背景画記憶可能エリア（以下「VRAMエリア」という）40が、画面を縮小表示するとき画面に見えていない部分にも背景画の画像データ

タを持っていなければ現に見えている背景画以外の部分が黒く表示されて何も背景のない画面となる。また、背景画面全体を上下にスクロールさせて表示する場合は、背景画像データをリアルタイムに書き換えていたのでは滑らかなスクロールを実現できない。そこで、VRAMエリア40は縦横に表示画面エリア41の数倍のエリアが必要になる。実施例では、VRAMエリア40がそれぞれ7ビットのアドレスデータで水平位置と垂直位置を指定できるように、X方向及びY方向の何れも128キャラクタ ( $128 \times 128 = 16384$  個) の記憶エリアを有する。そして、xとy方向のそれぞれの座標データで指定されるアドレスに表示すべき背景キャラクタコードが書き込まれる。ここで、VRAMエリア50の原点は図の左上端部と定めて  $x = 0$  及び  $y = 0$  で表し、該VRAMエリア50上の或るドットの表示位置を  $P(x, y)$  で表す。また、表示画面エリア51の左上端部の位置53を示すために、原点からのx方向及びy方向の距離(以下、オフセットという。)をそれぞれ  $H_r$  及び  $V_r$  とする。

なお、x及びy座標を指定するアドレスデータのそれぞれは、第3図に示すように、VRAMエリア50内のキャラクタの位置を示す  $x_c, y_c$  (各7ビット) と、1キャラクタ52内のドットの位置を示す  $x_d, y_d$  (各3ビット) で表すものとする。

VRAM7は、第4図に示すように、それぞれ同一の記憶容量を有する2個のVRAM7a及び7bから成る。各VRAM7a, 7bは、例えばそれぞれ0から32Kまでのアドレスを有し、各アドレスに対して8ビットのデータを記憶し得る。

そして、VRAM7a及び7bはそれぞれ16K毎のエリア51ないし54に分割され、アドレス0から16Kまでのエリア51及び52が背景画に関するデータを記憶するために用いられ、アドレス16K+1から32Kまでのエリア53及び54が動画に関するデータ(すなわちVRAMエリア40で同じ背景画が記憶されている期間中に表示すべき多數の移動キャラクタデータ)を記憶するために用いられる。具体的には、VRAM7aのエリア51は最大256個の背景キャラクタの色データを記憶するキャラクタ

エリアとして用いられる。1キャラクタについて見れば、第5図に示すように、縦横8×8ドットに対応するビット数でありかつ各ドット毎に8ビットの色データを含むため、512ビット(64バイト)の記憶容量を有し、この1キャラクタ毎にキャラクタコードが決められる。VRAM7bのエリア52は、第2図のVRAMエリア40の縦横128×128個のます目に対応するバイト数を有し、縦横の座標で指定されるアドレスに背景画のキャラクタコードを記憶するスクリーンエリアとして用いられる。このエリア51および52に書き込まれるデータのフォーマットの一例が6図に示めされる。

次に、第1図ないし第6図を参照して、第1図の各部の作用を説明する。CPUインターフェース21は、CPU2の制御に基づいて、垂直帰線期間中または強制的転送命令中ダイレクトメモリアクセスにより背景キャラクタ及び移動キャラクタに関するデータをVRAMインターフェース27に転送すると同時に、回転・拡大・縮小のための制御データを背景画アドレス制御回路24に転送するため

のラッチ信号LA1～LA4, LA11, LA12, LA14及びLA15を発生する。この背景キャラクタ及び移動キャラクタに関するデータがVRAMインターフェース27によって、VRAM7に予め書き込まれる。

動画アドレス制御回路22は動画属性メモリとインレンジ検出回路と動画アドレスデータ発生回路とを含み、その詳細は例えば本願出願人の出願に係る特開昭59-118184号で知られている。動画属性メモリには、ある垂直帰線期間中に、CPU2からCPUインターフェース21及びデータバス14を介して128個の移動キャラクタの属性データが転送されて記憶される。インレンジ検出回路は、1走査線毎に、動画属性メモリに記憶されているデータのうち次の水平走査で表示すべきものの検索を行う。動画アドレスデータ発生回路は、インレンジ検出された属性データのうちV反転データが“H”的とき反転を行ったときの表示エリア41内の位置を示すVRAM7の格納アドレスを発生してアドレスバス15を介して出力する。一方、V反転データが“L”的とき、キャラクタデータの

表示エリア41に対応するVRAM7のアドレスをそのままアドレスバス15を介してVRAM7に出力する。これに応答してVRAM7は、動画アドレス制御回路22内の動画アドレス発生回路から出力されたアドレスに対応する、動画キャラクタエリア53、44に記憶されている動画の色データ（1ドット当たり4ビット）をデータバス16を介して動画データ処理回路23に与える。また動画アドレス発生回路は、インレンジ検出された移動キャラクタの属性データのうちH反転データ（1ビット）と色パレットデータ（3ビット）と優先度係数データ（2ビット）を、直接に動画データ処理回路23に与える。

従って、動画データ処理回路23には、VRAM7から読み出された色データと動画アドレス制御回路22から直接与えられたH反転データ、色パレットデータ及び優先度係数データの1ドット当たり10ビットのデータが、1走査線の256ドットについて順次入力される。

動画データ処理回路23は、水平掃線期間中に入

力された次の1走査線分のデータを一時記憶した後、そのデータに含まれるH反転データが“H”的ときH反転データを除く1ドット当たり9ビットのデータを入力順序とは逆の順序で、一時記憶することによってH反転処理を行う。一方、この回路23はH反転データが“L”的とき、9ビットのデータを入力順序で一時記憶する。一時記憶された1走査線分の動画データは、HVカウンタ31出力のカウントデータH<sub>1</sub>に基づいて水平走査に同期して優先度制御回路26に出力する。

背景画アドレス制御回路24は、背景画の通常処理時において、CPU2から与えられる画面のオフセットデータH<sub>2</sub>、V<sub>2</sub>、並びにH反転データH<sub>F</sub>及びV反転データV<sub>F</sub>を含む制御データと、HVカウンタ31から与えられるカウントデータH<sub>2</sub>及びV<sub>2</sub>とに基づいて、背景画のドットに対応してVRAM7bのスクリーンエリア52に予め記憶されているキャラクタコードの読み出アドレス（16ビット）を算出し、該アドレスをアドレスバス15bを介してVRAM7bに与える。また、背景画アド

レス制御回路24は、背景画の回転及び拡大縮小処理時において、CPU2から与えられる画面のオフセットデータH<sub>2</sub>、V<sub>2</sub>、H反転データH<sub>F</sub>、V反転データV<sub>F</sub>及び回転及び拡大縮小時の処理定数A、B、C、Dを含むパラメータデータと、HVカウンタ31から与えられるカウントデータH<sub>2</sub>及びV<sub>2</sub>とに基づいて、回転及び拡大縮小時の背景画のドットに対応するキャラクタコードの読み出アドレスを算出し、該アドレスをVRAM7bに与える。この回転・拡大・縮小のための演算処理の原理は、後述の第7図を参照して説明する。

なお、背景画アドレス制御回路24はCPU2から与えられる画面のオフセットデータH<sub>2</sub>、V<sub>2</sub>に基づいて、画面のスクロール処理を行った後の背景画の1ドットに対応するキャラクタコードの読み出アドレスを算出する。これと同時に、背景画アドレス制御回路24はH反転データH<sub>F</sub>が“H”的ときH反転処理を行った後の背景画の1ドットに対応するキャラクタコードの読み出アドレスを算出し、V反転データV<sub>F</sub>が“H”的とき、V反転

処理を行った後の背景画の1ドットに対応するキャラクタコードの読み出アドレスを算出する。ここで、背景画アドレス制御回路24で算出される16ビットの読み出アドレスデータは、第6図に示すように、上位2ビットが“00”であって、下位14ビットが背景画の表示位置に対応するキャラクタの位置データx<sub>c</sub>、y<sub>c</sub>（各7ビット）である。

VRAM7bは、背景画アドレス制御回路24から与えられるアドレスに記憶されたキャラクタコードをデータバス15bを介して背景画アドレス制御回路24に与える。これに応じて、背景画アドレス制御回路24は、上位2ビットの00と、8ビットのキャラクタコードと、背景画の表示位置に対応するドットの位置データy<sub>d</sub>（3ビット）及びx<sub>d</sub>（3ビット）から成るアドレスをアドレスバス15aを介してVRAM7aに与える。VRAM7aは、背景画アドレス制御回路24から与えられたアドレスに記憶されている8ビットの色データを読み出して、データバス42aを介して背景画データ処理回路25に与える。これに応じて、背景画データ処理

回路25は、入力された1ドット当たり8ビットの色データをラッチした後、HVカウンタ31出力のカウントデータH<sub>n</sub>に基づいて8ビットの色データを優先度制御回路26に与える。

優先度制御回路26は、動画データ処理回路23から入力される7ビットの動画データと背景画データ処理回路25から入力される8ビットの背景画データのうち、優先度データに基づいて優先判定を行い、動画データ又は背景画データのうちの優先度の高いものを色信号発生器28に出力する。たとえば、優先度制御回路26は、優先度データが“00”のとき最上位3ビット“000”と8ビットの色データからなる背景画データを色信号発生器28に出力し、優先度データが“01”的とき3ビットの色パレットデータと4ビットの色データからなる計7ビットの動画データを色信号発生器28に出力する。

色信号発生器28は、8ビットのアドレスを有するRAMにてなる色パレットテーブルを含み、垂直掃線期間中にCPU2から与えられる色信号デ

ータを色パレットテーブルに記憶しておく。そして、水平走査期間中における色信号発生器28は、優先度制御回路26から入力される8ビットの動画データ又は背景画データに基づいて、色パレットテーブルの対応アドレスに記憶されている色信号データを読み出した後、色信号データを各色5ビットのRGB信号に変換する。さらに、色信号発生器28は、HVカウンタ31から与えられるカウントデータH<sub>n</sub>及びV<sub>n</sub>に同期してRGB信号をRGBモニタ8aに直接出力すると同時に、NTSCエンコーダ29に出力する。NTSCエンコーダ29はRGB信号を各色毎にデジタル／アナログ変換した後、NTSCカラーテレビ信号に変換して出力端子9から標準テレビ8bに出力する。

第7図は背景画アドレス制御回路24が背景画の回転及び拡大縮小処理を行う場合の原理を説明するための図である。図において、CRTディスプレイ8の画面上における水平方向のドット単位の座標をxとし、垂直方向のドット単位の座標をyとする。但し、y方向は第2図の場合とは逆に示

す。

背景画アドレス制御回路24が回転及び拡大縮小処理を行う前の元の背景画の座標をP(x<sub>1</sub>, y<sub>1</sub>)とし、元の背景画を座標R(x<sub>0</sub>, y<sub>0</sub>)を中心として角度γ[rad]だけ回転したときの背景画の座標をQ'(x<sub>1'</sub>, y<sub>1'</sub>)とする。さやに、座標Q'(x<sub>1'</sub>, y<sub>1'</sub>)を有する背景画を座標R(x<sub>0</sub>, y<sub>0</sub>)を基準として、x方向の拡大縮小倍率α及びy方向の拡大縮小倍率βで拡大又は縮小した場合の背景画の座標をQ(x<sub>2</sub>, y<sub>2</sub>)とすると、各座標P, R, Q間の関係は(1)式で表される。

$$\begin{bmatrix} x_2 \\ y_2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} x_1 - x_0 \\ y_1 - y_0 \end{bmatrix} + \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad \dots (1)$$

ここで、定数(パラメータ)A, B, C及びDは、(2)ないし(5)式で表される。

$$A = 1/\alpha \cdot \cos \gamma \quad \dots (2)$$

$$B = 1/\alpha \cdot \sin \gamma \quad \dots (3)$$

$$C = -1/\beta \cdot \sin \gamma \quad \dots (4)$$

$$D = 1/\beta \cdot \cos \gamma \quad \dots (5)$$

背景画の拡大又は縮小処理を行わずに回転処理のみを行う場合は、α=β=1である。従って、この場合の定数A, B, C及びDは、(6)式ないし(9)式で表わされる。

$$A = \cos \gamma \quad \dots (6)$$

$$B = \sin \gamma \quad \dots (7)$$

$$C = -\sin \gamma \quad \dots (8)$$

$$D = \cos \gamma \quad \dots (9)$$

また、背景画の回転処理を行わずに拡大又は縮小の処理のみを行う場合は、γ=0となるので、定数A, B, C及びDは、(10)式ないし(11)式で表わされる。

$$A = 1/\alpha \quad \dots (10)$$

$$B = C = 0 \quad \dots (11)$$

$$D = 1/\beta \quad \dots (12)$$

(1)式において、元の背景画の座標P(x<sub>1</sub>,

$y_1$ ) は、第2図のVRAMエリア40における上述のオフセットデータ  $H_r, V_r$  並びに  $VH$  カウンタ31から出力されるカウントデータ  $H_s, V_s$  を用いて示せば、(13)式および(14)式で表わされる。

$$x_1 = H_r + H_s \quad \dots (13)$$

$$y_1 = V_r + V_s \quad \dots (14)$$

従って、(1)式に上記(13)式及び(14)式を代入して  $x_1$  及び  $y_1$  を展開した式を求めると、 $x_1$  及び  $y_1$  は(15)及び(16)式で表わされる。

$$x_1 = [x_0 + (H_r - x_0) \cdot A + (V_r - y_0) \cdot B + V_r \cdot B] + H_r \cdot A \dots (15)$$

$$y_1 = [y_0 + (V_r - y_0) \cdot D + (H_r - x_0) \cdot C + V_r \cdot D] + H_r \cdot C \dots (16)$$

上記(15)式及び(16)式において、 $H_c \cdot A$  及び  $H_c \cdot C$  の項は画面のドット単位で変化する項であり、 $H_c \cdot A$  及び  $H_c \cdot C$  以外の項（すなわち ( ) 内の項）は1走査線において不变の項である。従って、 $H_c \cdot A$  及び  $H_c \cdot C$  の項は水平走査期間のドット単位で計算を行う必要がある。

求めた後、この座標データをスクリーンエリア52の読出アドレス並びにキャラクタエリア51の読出アドレスとして出力するものである。

具体的には、背景画アドレス制御回路24は複数の遅延型(D型)フリップフロップからなるレジスタFF1ないしFF23を含む。各レジスタFF1ないし23は、ラッチ信号の与えられたタイミングで入力端子に与えられたデータをラッチし、そのデータを出力端子へ出力する。なお、レジスタFF13, FF19のそれぞれには、タイミング信号発生器30出力の10.739MHzのクロック10MCKを反転した反転クロックが入力される。レジスタFF18, FF20, FF21, FF22及びFF23のそれぞれには、タイミング信号発生器30から出力される5.369MHzのクロック5MCKを反転した反転クロックが入力される。

レジスタFF1ないし4のそれぞれには、CPU2からCPUインターフェース回路21及びデータバス40を介して与えられる16ビットの定数データA, B, C, Dが対応するラッチ信号LA1～LA4の与

一方、 $H_c \cdot A$  及び  $H_c \cdot C$  以外の項は、水平走査期間中に計算する必要性がなく、むしろ水平走査のドット単位の極短時間に一度に計算するのが困難なため、1走査線の開始前に一括して計算(前処理)しておくことにする。そこで、(15)式及び(16)式の前処理すべき一部の式を簡単な回路で計算するため、次の(17)式ないし(24)式のようにおきかえて段階的に演算することにする。

$$E_1 = H_r - x_0 \quad \dots (17)$$

$$E_2 = V_r - y_0 \quad \dots (18)$$

$$E_3 = x_0 + E_1 \cdot A \quad \dots (19)$$

$$E_4 = y_0 + E_2 \cdot D \quad \dots (20)$$

$$E_5 = E_3 + E_2 \cdot B \quad \dots (21)$$

$$E_6 = E_4 + E_1 \cdot C \quad \dots (22)$$

$$E_7 = E_5 + V_r \cdot B \quad \dots (23)$$

$$E_8 = E_6 + V_r \cdot D \quad \dots (24)$$

第8図は背景画アドレス制御回路24の詳細な回路図である。この背景画アドレス制御回路24は、上記(1)式を用いて背景画の回転及び拡大縮小時の座標( $x_1, y_1$ )をマトリクス演算によって

えられたタイミングでラッチされる。このラッチデータが切換器SW1の入力端子a, b, c, dに与えられる。切換器SW1は、タイミング信号発生器20出力のXS信号に基づいて、入力端子a, b, c, dに入力されるラッチデータのうちのいずれか1つを選択して乗算器MPYの入力端子aに出力する。

$HV$  カウンタ31出力のカウントデータ  $H$  が、排他的オア回路XOR1に入力される。レジスタFF5は  $HV$  カウンタ31出力の8ビットカウントデータ  $V$  をラッチして排他的オア回路XOR2に出力する。レジスタFF6及び7はそれぞれ、CPU2から与えられる1ビットのH反転データHFと1ビットのV反転データVFを、CPU2のマシンクロックの立上がりでラッチして、H反転データHFと各ビットが同一のレベルを有する8ビットのデータと、V反転データVFと各ビットが同一のレベルを有する8ビットのデータをそれぞれ、排他的オア回路XOR1, XOR2に出力する。

ここで、排他的オア回路XOR1及びXOR2の詳細を説明すると、両者はそれぞれ8個の排他的オアゲ

ートを含む。排他的オア回路 XOR1 に含まれる 8 個の排他的オアゲートは、それぞれの一方入力としてカウントデータ H<sub>c</sub> の各ビットデータが与えられ、それぞれの他方入力としてレジスタ FF6 の対応する各ビットデータが与えられる。排他的オア回路 XOR2 に含まれる 8 個の排他的オアゲートは、それぞれの一方入力としてカウントデータ V<sub>c</sub> の各ビットデータが与えられ、それぞれの他方入力としてレジスタ FF7 の対応する各ビットデータが与えられる。そして、排他的オア回路 XOR1 又は XOR2 に含まれるそれぞれの 8 個の排他的オアゲートは、それぞれの 2 つの入力の排他的論理和を求め、その演算結果の 8 ビットデータを直接に又はレジスタ FF8 を介して切換器 SW2 の a 入力端子と b 入力端子に与える。この切換器 SW2 は、11 ビットの入力端子を有するが、a 及び b 入力端子の上位 3 ビットがアースに接続されている。さらに、切換器 SW2 は c 及び d 入力端子を含み、この c 又は d 入力端子にはレジスタ FF9 又は FF10 からの 11 ビットデータが入力される。

向のオフセットデータ H<sub>r</sub> (10 ビット) を、マシンクロックの立上りでラッチして切換器 SW3 の入力端子 a に与える。また、レジスタ FF12 は、CPU 2 から与えられる y 方向のオフセットデータ V<sub>r</sub> (10 ビット) を、マシンクロックの立上りでラッチして切換器 SW3 の入力端子 b に与える。切換器 SW3 の入力端子 a 及び入力端子 b のそれぞれの上位 6 ビット及び下位 2 ビットはアースに接続される。なお、切換器 SW3 の各入力端子に入力されるデータの下位 2 ビットは、少數点以下のデータに対応する。

切換器 SW3 は、タイミング信号発生器 20 出力の A S 信号に基づいて入力端子 a, b, c に入力される各データのうち 1 つのデータを選択して加算器 ADD の入力端子 a に与える。

レジスタ FF14 は、CPU 2 から与えられる元の背景画の x 方向の位置データ x<sub>r</sub> (データバス 40 の下位 8 ビット) を、マシンクロックの立上りでラッチした後、最上位 2 ビット "0 0" とラッチデータの計 10 ビットのデータを切換器 SW4 の入力

レジスタ FF9 は、加算器 ADD から与えられる 18 ビットデータのうちの下位 11 ビットのデータ (E<sub>1</sub>) をタイミング信号発生器 30 出力のラッチ信号 LA9 の立上りでラッチし、そのラッチデータを切換器 SW2 の入力端子 c に与える。レジスタ FF10 は、加算器 ADD から与えられる 18 ビットデータのうちの下位 11 ビットのデータ (E<sub>2</sub>) をタイミング信号発生器 30 出力のラッチ信号 LA10 の立上りでラッチ、そのラッチデータを切換器 SW2 の入力端子 d に与える。切換器 SW2 は、タイミング信号発生器 20 出力の Y S 信号に基づいて a, b, c, d 入力端子に入力されるデータのうちのいずれか選択して乗算器 MPY の入力端子 b に与える。

乗算器 MPY は、入力端子 a に入力されるデータ A ~ D のいずれかと入力端子 b に入力されるデータ E<sub>1</sub>, E<sub>2</sub>, V<sub>c</sub> のいずれかとを乗算して、(19)式～(24)式のいずれかの第 2 項を求め、乗算結果のデータを、レジスタ FF13 を介して切換器 SW3 の入力端子 c に与える。

レジスタ FF11 は、CPU 2 から与えられる x 方

端子 a に与える。また、レジスタ FF15 は、CPU 2 から与えられる元の背景画の y 方向の位置データ y<sub>r</sub> (データバス 40 の上記 x<sub>r</sub> よりも上位の 2 ビット) をマシンクロックの立上りでラッチした後、上位 8 ビット "0 0 0 0 0 0 0 0" とラッチデータの計 10 ビットのデータを切換器 SW4 の入力端子 b に与える。切換器 SW4 の入力端子 a 及び入力端子 b のそれぞれの上位 6 ビット及び下位 2 ビットは、アースに接続される。なお、切換器 SW4 の各入力端子に入力されるデータの下位 2 ビットは、少數点以下のデータに対応する。

レジスタ FF16 は、加算器 ADD 出力の 18 ビットデータを、タイミング信号発生器 30 出力のクロック CK16 の立上りでラッチして切換器 SW4 の入力端子 c に与える。また、レジスタ FF17 は、加算器 ADD 出力の 18 ビットデータを、タイミング信号発生器 30 出力のクロック CK17 の立上りでラッチして切換器 SW4 の入力端子 d に与える。切換器 SW4 は、タイミング信号発生器 20 出力の B S 信号に基づいて入力端子 a, b, c, d に入力される各データのうち 1

個の18ビットのデータを排他的オア回路XOR3に与える。排他的オア回路XOR3は18個の排他的オアゲートを含み、各排他的オアゲートのそれぞれの一方入力として切換器SW4の対応ビット出力が与えられ、他方入力としてタイミング信号発生器30出力のADS信号が与えられる。

また、ADS信号のある1ビットが加算器ADDのキャリー・イン端子に入力される。加算器ADDのキャリー・イン端子に入力される1ビットのADS信号が“H”であるとき、排他的オア回路XOR3の各排他的オアゲートの一方入力端子に入力されるADS信号は18ビットすべてが“H”である信号である。一方、加算器ADDのキャリー・イン端子に入力される1ビットのADS信号が“L”であるとき、排他的オア回路XOR3の各排他的オアゲートの他方入力端子に入力されるADS信号は18ビットすべてが“L”である信号である。排他的オア回路XOR3は排他的オア回路XOR1及びXOR2と同様に動作し、各ビットの一方入力端子に入力されたデータと他方入力端子に入力されたデータの

排他的論理和の演算を行い、演算結果を加算器ADDの入力端子bに与える。

加算器ADDは、入力端子aとbに入力される両データを加算し、さらにキャリー・イン端子に“H”的ADS信号が入力されているときのみ加算結果に1を加算する。その後、加算結果のうち、18ビットデータがレジスタPF16、PF17にストアされ、下位11ビットデータがレジスタPF9、PF10にストアされ、10ビットデータがレジスタPF18、PF19にストアされ、下位8ビットデータがレジスタPF21にストアされる。

従って、キャリー・イン端子に“H”信号が入力されたとき、排他的オア回路XOR3と加算器ADDの動作によって、切換器SW3の出力データから切換器SW4の出力データを減算する動作が行なわれる。一方、キャリー・イン端子に“L”信号が入力されたとき、排他的オア回路XOR3による反転動作及び加算器ADDによる1を加算する動作が行なわれず、従って、切換器SW3の出力データと切換器SW4の出力データを単に加算する動作が行なわ

れる。そして、この実施例では、乗算器MPYと加算器ADDとが切換器SW1～SW4の切換えによって与えられる2データ(座標データ、定数データまたは直前の演算結果データ)の乗算動作又は加算動作を時分割的に繰り返して実行することによって(17)式ないし(24)式を順次演算し、最終的にはそれぞれ1個の回路で(15)式と(16)式の演算動作を行っている。しかも、定数データを変えることによって、共通の回路で回転及び／又は拡大・縮小処理が達成できる。

レジスタPF18は、入力された10ビットのデータをラッチした後、上位7ビットのデータycを3ステートバッファアンプ(以下バッファアンプという)BA2を介してアドレスバス15aの上位3ビット目から上位8ビット目のアドレスデータとして出力するとともに、下位3ビットのデータydをレジスタPF22に与える。レジスタPF19は、入力された10ビットデータxcをラッチした後、レジスタPF20に与える。レジスタPF20は、入力された10ビットのデータをラッチした後、上位7ビットデータ

タxcをバッファアンプBA3を介してアドレスバス15aの下位7ビットのアドレスデータとして出力するとともに、下位3ビットのデータxdをレジスタPF22に与える。

レジスタPF21は、VRAM7bからデータバス42bを介して入力された8ビットのキャラクタコードをラッチした後、バッファアンプBA5を介してアドレスバス15bの上位3ビット目から上位7ビット目のアドレスデータとして出力する。レジスタPF22は入力された2つの3ビットデータyd、xdをラッチした後、レジスタPF23及びバッファアンプBA6を介してアドレスバス15bの最下位6ビットのアドレスデータとして出力する。

なお、バッファアンプBA1の2ビットの入力端子はアースに接続され、該バッファアンプBA1の出力端子(2ビット)はアドレスバス15aの上位2ビットに接続される。バッファアンプBA4の2ビットの入力端子はアースに接続され、該バッファアンプBA4の出力端子(2ビット)は、アドレスバス15bの上位2ビットに接続される。

第9A図及び第9B図はこの実施例の特徴となる背景画の拡大・縮小及び／又は回転処理の動作を説明するためのタイムチャートである。特に、第9A図は1水平走査期間及び水平ブランкиング期間を示し、第9B図は一例としてHカウント値が9ないし17.5までの前処理とリアルタイム処理の一部の期間を示す。

次に、第1図ないし第9B図を参照して、この実施例の特徴となる背景画の拡大・縮小および／または回転処理の詳細な動作を説明する。ここで、第7図を参照して上述したように、第2図のVRAMエリア40のうち表示画像エリア41内に位置する背景画を基準座標R(x<sub>c</sub>, y<sub>c</sub>)を中心として角度 $\gamma$ だけ回転しあつx方向の拡大縮小倍率 $\alpha$ 及びy方向の拡大縮小倍率 $\beta$ で拡大又は縮小する場合について、1走査線分の処理を行う背景画アドレス制御回路24の処理動作について述べる。なお、上記 $\alpha$ 、 $\beta$ 及び $\gamma$ に基づいて上記(2)式ないし(5)式を用いて予め定数A、B、C、DがCPU2によって計算され、これらの定数A、B、

C、DのデータがCPU2において予め計算され、CPU2からCPUインターフェース回路21及びデータバス14を介してフリップフロップFF1ないしFF4に入力されてラッチされる。また、画面の上記オフセットデータH<sub>c</sub>、V<sub>c</sub>、上記基準座標のデータx<sub>c</sub>、y<sub>c</sub>、並びに背景画についてのH反転データHF及びV反転データVFがそれぞれ、CPU2から出力されてCPUインターフェース回路21及びデータバス14を介してフリップフロップFF11、FF12、FF14、FF15、FF6、FF7に入力されてラッチされる。

ここで、H反転データHFが“H”的ときHVカウンタ31から入力されるデータH<sub>c</sub>が排他的オアゲートXOR1によって反転されて切換器SW2の入力端子aに出力され、一方、H反転データHFが“L”的ときHVカウンタ31から入力されるデータH<sub>c</sub>がそのまま排他的オアゲートXOR1を介して切換器SW2の入力端子aに出力される。また、V反転データVFが“H”的ときHVカウンタ31から入力されてフリップフロップFF5に1走査線

の処理の間にラッチされるデータV<sub>c</sub>が、排他的オアゲートXOR2によって反転されてフリップフロップFF8に入力されてラッチされ、一方、V反転データVFが“L”的とき上記データV<sub>c</sub>がそのまま排他的オアゲートXOR2を介してフリップフロップFF8に入力されてラッチされる。上記排他的オアゲートXOR1及びXOR2の反転動作によって、それぞれ背景画のH反転及びV反転の動作が行なわれる。上記排他的オアゲートXOR1及びXOR2から出力されるデータは、反転されるか否かにかかわらず、以下説明の便宜上、それぞれデータH<sub>c</sub>及びV<sub>c</sub>と呼ぶ。

さらに、回転及び拡大縮小処理前の元の背景画のキャラクタネーム及び色データがそれぞれ、VRAM7bの背景画スクリーンエリア52及びVRAM7aの背景画キャラクタエリア52に予め記憶されているものとする。

第9図において、タイミング信号発生器30から出力される10.739MHzのクロック10MCK(以下、記号の上に付くバーに代えて記号の前に／を

付けて示す)の各立ち下がり時を、説明の便宜上、時刻t1, t2, t3, …, t20, …とする。ここで、時刻t1から時刻t9までの処理は、画像処理回路1から出力されるビデオ信号の画像信号期間の前の垂直帰線消去期間において行なわれる定数E1ないしE8を計算する前置処理である。時刻t9以後の処理は、ビデオ信号であるRGB分離デジタル信号である画像信号の生成及び表示と同期して行なわれるリアルタイム処理であって、前置処理で計算された定数とカウンタデータH<sub>c</sub>、V<sub>c</sub>とに基づいて回転及び拡大縮小時の背景画の座標Q(x<sub>c</sub>, y<sub>c</sub>)を求め、VRAM7bの背景画スクリーンエリア52のアドレスを出力した後、該エリア52から読み出されたキャラクタコードに基づいてVRAM7aの背景画キャラクタエリア51のアドレスを出力する処理である。

時刻t1から時刻t2において、切換器SW3及びSW4がともに入力端子aに切り換えられ、データH<sub>c</sub>がフリップフロップFF11から切換器SW3を介して加算器ADDの入力端子aに入力される。一方、

データ  $x_0$  がフリップフロップ FF14 から切換器 SW4 及び排他的オアゲート XOR3 を介して加算器 ADD の入力端子 b に入力される。ここで、ADS 信号が "H" となっているので、排他的オアゲート XOR3 及び加算器 ADD は上述のように減算処理を行うので、データ  $E_1 = (H_r - x_0)$  の演算を行って出力する。データ  $E_1$  は、時刻  $t_2$  にラッチ信号 LA9 の立上がりでフリップフロップ FF9 に入力されてラッチされる。

時刻  $t_2$  から  $t_3$  において、切換器 SW1 及び SW2 がそれぞれ入力端子 a 及び入力端子 c に切り換えられ、データ A がフリップフロップ FF1 から切換器 SW1 を介して乗算器 MPY の入力端子 a に入力される。一方、データ  $E_1$  がフリップフロップ FF9 から切換器 SW2 を介して乗算器 MPY の入力端子 b に入力される。乗算器 MPY は、データ A・ $E_1$  の演算を行って出力する。データ A・ $E_1$  は、時刻  $t_3$  においてクロック / 10MCK の立上がりでフリップフロップ FF13 に入力されてラッチされる。

また、時刻  $t_2$  から時刻  $t_3$  において、切換器 SW3

及び SW4 がともに入力端子 b に切り換えられ、データ  $V_r$  がフリップフロップ FF11 から切換器 SW3 を介して加算器 ADD の入力端子 a に入力される。一方、データ  $y_0$  がフリップフロップ FF15 から切換器 SW4 及び排他的オアゲート XOR3 を介して加算器 ADD の入力端子 b に入力される。ここで、ADS 信号が "H" となっているので、排他的オアゲート XOR3 及び加算器 ADD は上述のように減算処理を行うので、データ  $E_2 = (V_r - y_0)$  の演算を行って出力する。データ  $E_2$  は、時刻  $t_3$  においてラッチ信号 LA10 の立上がりでフリップフロップ FF10 に入力されてラッチされる。

次の時刻  $t_3$  から  $t_4$  において、切換器 SW1 及び SW2 がともに入力端子 d に切り換えられ、データ D がフリップフロップ FF4 から切換器 SW1 を介して乗算器 MPY の入力端子 a に入力される。一方、データ  $E_2$  がフリップフロップ FF10 から切換器 SW2 を介して乗算器 MPY の入力端子 b に入力される。乗算器 MPY は、データ D・ $E_2$  の演算を行って出力する。データ D・ $E_2$  は、時刻  $t_4$  においてクロック / 10MCK の立上がりでフリップフロップ FF13 に入力されてラッチされる。

クロック / 10MCK の立上がりでフリップフロップ FF13 に入力されてラッチされる。

また、時刻  $t_3$  から時刻  $t_4$  において、切換器 SW3 及び SW4 がそれぞれ入力端子 c 及び入力端子 a に切り換えられ、データ A・ $E_1$  がフリップフロップ FF13 から切換器 SW3 を介して加算器 ADD の入力端子 a に入力される。一方、データ  $x_0$  がフリップフロップ FF14 から切換器 SW4 及び排他的オアゲート XOR3 を介して加算器 ADD の入力端子 b に入力される。ここで、ADS 信号が "L" となっているので、排他的オアゲート XOR3 及び加算器 ADD は上述のように加算処理を行うので、データ  $E_3 = (A \cdot E_1) + x_0$  の演算を行って出力する。データ  $E_3$  は、時刻  $t_4$  においてクロック 16CK の立上がりでフリップフロップ FF16 に入力されてラッチされる。

次の時刻  $t_4$  から  $t_5$  において、切換器 SW1 及び SW2 がそれぞれ入力端子 b 及び入力端子 d に切り換えられ、データ B がフリップフロップ FF2 から切換器 SW1 を介して乗算器 MPY の入力端子 a に入力

される。一方、データ  $E_2$  がフリップフロップ FF10 から切換器 SW2 を介して乗算器 MPY の入力端子 b に入力される。乗算器 MPY は、データ B・ $E_2$  の演算を行って出力する。データ B・ $E_2$  は、時刻  $t_5$  においてクロック / 10MCK の立上がりでフリップフロップ FF13 に入力されてラッチされる。また、時刻  $t_4$  から時刻  $t_5$  において、切換器 SW3 及び SW4 がそれぞれ入力端子 c 及び入力端子 b に切り換えられ、データ D・ $E_2$  がフリップフロップ FF13 から切換器 SW3 を介して加算器 ADD の入力端子 a に入力される。一方、データ  $y_0$  がフリップフロップ FF15 から切換器 SW4 及び排他的オアゲート XOR3 を介して加算器 ADD の入力端子 b に入力される。ここで、ADS 信号が "L" となっているので、排他的オアゲート XOR3 及び加算器 ADD は上述のように加算処理を行うので、データ  $E_4 = (D \cdot E_2) + y_0$  の演算を行って出力する。データ  $E_4$  は、時刻  $t_5$  においてクロック 17CK の立上がりでフリップフロップ FF17 に入力されてラッチされる。

次の時刻t5からt6において、切換器SW1 及びSW2 がともに入力端子cに切り換えられ、データCがフリップフロップFF3から切換器SW1を介して乗算器MPYの入力端子aに入力される。一方、データE1がフリップフロップFF9から切換器SW2を介して乗算器MPYの入力端子bに入力される。乗算器MPYは、データC・E1の演算を行って出力する。データC・E1は、時刻t6にクロック／10MCKの立上りでフリップフロップFF13に入力されてラッチされる。

また、時刻t5から時刻t6において、切換器SW3及びSW4がともに入力端子cに切り換えられ、データB・E2がフリップフロップFF13から切換器SW3を介して加算器ADDの入力端子aに入力される。一方、データE3がフリップフロップFF16から切換器SW4及び排他的オアゲートXOR3を介して加算器ADDの入力端子bに入力される。ここで、ADS信号が“L”となっているので、排他的オアゲートXOR3及び加算器ADDは上述のように加算処理を行うので、データE5 = (B・E2) + E

3の演算を行って出力する。データE5は、時刻t6においてクロック16CKの立上りでフリップフロップFF16に入力されてラッチされる。

次の時刻t6からt7において、切換器SW1 及びSW2 がともに入力端子bに切り換えられ、データBがフリップフロップFF2から切換器SW1を介して乗算器MPYの入力端子aに入力される。一方、データVがフリップフロップFF8から切換器SW2を介して乗算器MPYの入力端子bに入力される。乗算器MPYは、データB・Vの演算を行って出力する。データB・Vは時刻t7においてクロック／10MCKの立上りでフリップフロップFF13に入力されてラッチされる。

また、時刻t6から時刻t7において、切換器SW3及びSW4がそれぞれ入力端子c及び入力端子dに切り換えられ、データC・E1がフリップフロップFF13から切換器SW3を介して加算器ADDの入力端子aに入力される。一方、データE4がフリップフロップFF17から切換器SW4及び排他的オアゲートXOR3を介して加算器ADDの入力端子bに入

力される。ここで、ADS信号が“L”となっているので、排他的オアゲートXOR3及び加算器ADDは上述のように加算処理を行うので、データE6 = (C・E1) + E4の演算を行って出力する。データE6は時刻t7においてクロック17CKの立上りでフリップフロップFF17に入力されてラッチされる。

次の時刻t7からt8において、切換器SW1 及びSW2 がそれぞれ入力端子d及び入力端子bに切り換えられ、データDがフリップフロップFF4から切換器SW1を介して乗算器MPYの入力端子aに入力される。一方、データVがフリップフロップFF8から切換器SW2を介して乗算器MPYの入力端子bに入力される。乗算器MPYはデータD・Vの演算を行って出力する。データD・Vは時刻t8においてクロック／10MCKの立上りでフリップフロップFF13に入力されてラッチされる。

また、時刻t7から時刻t8において、切換器SW3及びSW4がともに入力端子cに切り換えられ、データB・VがフリップフロップFF13から切換器

SW3を介して加算器ADDの入力端子aに入力される。一方、データE5がフリップフロップFF16から切換器SW4及び排他的オアゲートXOR3を介して加算器ADDの入力端子bに入力される。ここで、ADS信号が“L”となっているので、排他的オアゲートXOR3及び加算器ADDは上述のように加算処理を行うので、データE7 = (B・V) + E5の演算を行って出力する。データE7は、時刻t8においてクロック16CKの立上りでフリップフロップFF16に入力されてラッチされる。

次の時刻t8からt9において、切換器SW1 及びSW2 がともに入力端子aに切り換えられ、データAがフリップフロップFF1から切換器SW1を介して乗算器MPYの入力端子aに入力される。一方、データHがHVカウンタ31から排他的オアゲートXOR1及び切換器SW2を介して乗算器MPYの入力端子bに入力される。乗算器MPYは、データA・Hcの演算を行って出力する。該データA・Hcは時刻t9においてクロック／10MCKの立上りでフリップフロップFF13に入力されてラッチされる。

また、時刻t8から時刻t9において、切換器SW3及びSW4がそれぞれ入力端子c及び入力端子dに切り換えられ、データD・VcがフリップフロップPP13から切換器SW3を介して加算器ADDの入力端子aに入力される。一方、データE6がフリップフロップPP17から切換器SW4及び排他的オアゲートXOR3を介して加算器ADDの入力端子bに入力される。ここで、ADS信号が“L”となっているので、排他的オアゲートXOR3及び加算器ADDは上述のように加算処理を行うので、データE8 = (D・Vc) + E6の演算を行って出力する。該データE8は、時刻t9においてクロック17CKの立ち上がりでフリップフロップPP17に入力されてラッチされる。

以上の動作によって前置処理が終了し、データE7がフリップフロップPP16にラッチされ、データE8がフリップフロップPP17にラッチされる。

さらに、時刻t9から時刻t10において、切換器SW1及びSW2がそれぞれ入力端子c及び入力端子aに切り換えられ、データCがフリップフロップ

PP3から切換器SW1を介して乗算器MPYの入力端子aに入力される。一方、データHcがHVカウンタ31から排他的オアゲートXOR1及び切換器SW2を介して乗算器MPYの入力端子bに入力される。乗算器MPYは、データC・Hcの演算を行って出力する。データC・Hcは、時刻t10においてクロック/10MCKの立上りでフリップフロップPP13に入力されてラッチされる。

また、時刻t8から時刻t10において、切換器SW3及びSW4がともに入力端子cに切り換えられ、データA・HcがフリップフロップPP13から切換器SW3を介して加算器ADDの入力端子aに入力される。一方、データE7がフリップフロップPP16から切換器SW4及び排他的オアゲートXOR3を介して加算器ADDの入力端子bに入力される。ここで、ADS信号が“L”となっているので、排他的オアゲートXOR3及び加算器ADDは(A・Hc) + E7の加算処理を行って、演算結果をデータx1として出力する。データx1は、時刻t10においてクロック/10MCKの立ち上がりでフリップフロ

ップPP19に入力されてラッチされた後、時刻t11においてクロック/5MCKの立上りでフリップフロップPP20に入力されてラッチされる。

次の時刻t10から時刻t11において、切換器SW1及びSW2がともに入力端子aに切り換えられ、データAがフリップフロップPP1から切換器SW1を介して乗算器MPYの入力端子aに入力される。一方、データHcがHVカウンタ31から排他的オアゲートXOR1及び切換器SW2を介して乗算器MPYの入力端子bに入力される。乗算器MPYは、データA・Hcの演算を行って出力する。データA・Hcは、時刻t11においてクロック/10MCKの立上りでフリップフロップPP13に入力されてラッチされる。

また、時刻t10から時刻t11において、切換器SW3及びSW4がそれぞれ入力端子c及び入力端子dに切り換えられ、データC・HcがフリップフロップPP13から切換器SW3を介して加算器ADDの入力端子aに入力される。一方、データE8がフリップフロップPP17から切換器SW4及び排他的オ

アゲートXOR3を介して加算器ADDの入力端子bに入力される。ここで、ADS信号が“L”となっているので、排他的オアゲートXOR3及び加算器ADDは(C・Hc) + E8の加算処理を行って、その演算結果をデータy1として出力する。データy1は、時刻t11においてクロック/5MCKの立上りでフリップフロップPP18に入力されてラッチされる。

上述の時刻t9から時刻t10においてHc = 0のときのデータx2が計算され、時刻t10から時刻t11においてHc = 0のときのデータy2が計算される。以下、時刻t11以降において、データHcが1から255までのデータx2及びy2が同様に計算されて、1走査線分のデータx2, y2が計算される。

時刻t11において、タイミング信号発生器30から出力されるAE信号が立下り、このとき3ステートバッファアンプBA1ないしBA6がイネーブルされる。従って、時刻t11から時刻t13において、3ステートバッファアンプBA1から出力

される最上位 2 ビットのデータ "00" と、フリップフロップ FF18 及び FF20 にそれぞれラッチされた  $H_c = 0$  のときのデータ  $y_1$  (10 ビット) 及び  $x_1$  (10 ビット) のうちのそれぞれ各上位の 7 ビットの上記  $y_c$  及び  $x_c$  から構成される計 16 ビットのアドレス CAA0 がアドレスバス B41b を介して VRAM7b に出力される。VRAM7b は時刻 t13においてアドレス CAA0 を入力する。なお、フリップフロップ FF18 及び FF20 にそれぞれラッチされた  $H_c = 0$  のときのデータ  $y_1$  及び  $x_1$  のうちの各下位の 3 ビットデータ  $y_d$  及び  $x_d$  は、それぞれフリップフロップ FF22 を介してフリップフロップ FF23 にラッチされる。

以下、時刻 t13 以降において、クロック / 5MCK の周期で、データ  $H_c = 1$  から 255 までのデータ  $y_c$  及び  $x_c$  を含むアドレス CAA1 ないし CAA255 が周期的に繰り返してアドレスバス 15b を介して VRAM7b に出力される。また、各データ  $H_c$  に対するデータ  $y_d$  及び  $x_d$  はそれぞれ上述と同様に、フリップフロップ FF22 を介してフリップフ

ロップ FF23 にラッチされる。

VRAM7b は、背景画アドレス制御回路 24 からアドレスバス 15b を介して入力されるアドレス CAA0 ないし CAA255 に応答して、各アドレスに格納された 8 ビットのキャラクタコード CAA0 ないし CAA255 をクロック / 10MCK の周期でデータバス 16b を介して背景画アドレス制御回路 24 内のフリップフロップ FF21 に出力する。この 8 ビットのキャラクタコード CAA0 ないし CAA255 がフリップフロップ FF21 にラッチされる。

一方、キャラクタコードに対応するデータ  $y_d$  及び  $x_d$  (計 6 ビット) が上述のようにフリップフロップ FF23 にラッチされている。従って、時刻 t15 から時刻 t17 において、最上位 2 ビットの "00" と、フリップフロップ FF21 にラッチされた 8 ビットのキャラクタコードと、データ  $H_c = 0$  のときのデータ  $y_d$  及び  $x_d$  (計 6 ビット) から構成される 16 ビットのアドレス CCA0 が、3 ステートバッファアンプ BA4 ないし BA6 及びアドレスバス 15a を介して VRAM7a に出力される。VR

AM7a には、時刻 t17 においてアドレス CCA0 が入力される。

以下、時刻 t17 以降において、同様にして、データ  $H_c = 1$  から 255 までの期間におけるアドレス CCA1 ないし CCA255 が、背景画アドレス制御回路 24 からアドレスバス 15a を介して VRAM7a に出力される。

VRAM7a は背景画アドレス制御回路 24 からアドレスバス 15a を介して入力されるアドレス CCA0 ないし CCA255 に応答して、各アドレスに格納された 8 ビットの色データ CD0 ないし CD255 をクロック / 10MCK の周期でデータバス 42a を介して背景画データ処理回路 25 に出力する。

以上に述べた 1 走査線についての背景画の回転及び拡大縮小処理を、第 2 図に示すように、28 キャラクタ分の 224 走査線分について行うことにより、1 つの表示画像エリア 41 についての背景画の回転及び拡大縮小処理を実現できる。

以上説明したように、背景画アドレス制御回路 24 は、CPU2 から入力される回転及び拡大縮小

処理の定数データ A, B, C, D に基づいて、回転及び拡大縮小時の静止画のキャラクタコードが格納されているアドレス CAA0 ないし CAA255 を算出して出力し、これに応答して VRAM7b から出力されるキャラクタコード (8 ビット) とデータ  $y_d$  及び  $x_d$  から構成されるアドレス CCA0 ないし CCA255 を出力することによって、回転及び拡大縮小処理時の 1 ドット当たり 8 ビットの色データを VRAM7a から背景画データ処理回路 25 に出力することができる。その後、背景画の色データ (8 ビット) は背景画データ処理回路 25 にラッチされた後、優先度制御回路 26 に入力される。

一方、7 ビットの動画データが動画データ処理回路 23 から優先度制御回路 25 に入力される。これに応答して、優先度制御回路 26 は、動画データと背景画データから、動画データ内に含まれる 2 ビットの優先度データに基づいて優先判定を行い、動画データ又は背景画データのうちの優先度の高い方を色信号発生器 29 に出力する。これに応答して、色信号発生器 29 は入力される動画データ又は

背景画データを各色5ビットのRGB分離デジタル信号に変換し、RGB分離デジタル信号をHVカウンタ31から与えられるカウンタデータH<sub>i</sub>及びV<sub>i</sub>に基づいて、ディスプレイ装置8及びNTSCエンコーダ32に出力する。従って、以上の処理により、CPU2から入力された回転及び拡大縮小処理の回転角度 $\gamma$ 及び拡大縮小倍率 $\alpha$ ,  $\beta$ に基づいて、VRAM7に格納された背景画データに対応する元の背景画が回転及び拡大又は縮小された背景画がディスプレイ装置8に表示されることになる。

従って、この実施例では、例えば第10図ないし第13図の各(A)に示すような画像を表示するための平面的な1つの背景画像データに基づいて、各図の(B)に示すような立体感や奥行きのある背景又は道路がカーブしているような背景を表示できる。また、この発明を例えばシュミレーションゲームに適用した場合において、好みの実施例として背景画像を回転させながら同時に拡大縮小処理を行えば、飛行機が離着陸する際に背

景画面を三次元的又は立体的に表示して、恰も滑走路や空中から見た地図が遠ざかったり近づきながら旋回しているような背景画像を表示でき、背景画像表現を一層向上できる。

以上説明したように、VRAM7に格納された背景画データに対応する元の背景画を回転及び拡大縮小した場合のVRAM7におけるアドレスを静止画アドレス制御回路24によって算出して、VRAM7から回転及び拡大縮小処理時の背景画の色データを読み出してビデオ信号を生成してディスプレイ装置8に表示するようにしたので、CPU2は定数を設定するだけで回転及び拡大縮小した画像の各位置を計算する必要がなく、これによって、他の画像の処理を行える。従って、従来の回転又は拡大縮小処理技術に比べてCPUのスループットを向上できる利点がある。また、上述のように切換器SW1ないしSW4、乗算器MPY、加算器ADD等のハードウェアから構成される背景画アドレス制御回路24によって回転及び拡大縮小させたときの水平方向及び垂直方向の各位置に対応す

るVRAM7における背景画の画像データの格納アドレスを計算しているので、従来技術に比べて高速で回転及び拡大縮小の処理を行うことができる。しかも、1つの背景画アドレス制御回路24の各種の回路が時分割処理によって回転処理又は拡大処理若しくは縮小処理を実現するので、処理別に専用回路を設ける場合に比べて回路構成が簡略化でき、安価となる利点がある。

また、画像処理装置1においては、回転及び拡大縮小した背景画データの格納アドレスを算出して背景画データを求めるようにしたので、元の背景画データを保存できる。従って、画像が1回転した場合において従来のように各回転時の計算誤差が累積して元の背景画と異なる位置に表示されることや、背景画の形状が元の背景画から変形するということがない。

なお、以上の実施例では、背景画を回転及び拡大縮小させて表示させる画像処理装置1について述べているが、これに限らず、回転処理、及び拡大縮小処理のうち少なくともいずれか1つの処理

を行うように構成してもよい。このとき、背景画アドレス制御回路24の構成は変わらず、回転処理のみの場合、上述のように、CPU2によって演算される定数 $\alpha$ 及び $\beta$ を0とし、また、拡大縮小処理のみの場合、CPU2によって演算される定数 $\gamma$ を0とすればよい。

また、実施例ではキャラクタ方式の画像処理装置について述べているが、これに限らず、本発明は、VRAMエリア50に対応して色データを有するVRAMを用いてドット単位でアドレス指定して色データを得るいわゆるドットマップ方式の画像処理装置に適用可能であることはいうまでもない。

#### [発明の効果]

この発明によれば、回転前と回転後で元の背景画像が変形することなく、全く同じ形状の背景画像を表示できる。また、背景画像の回転及びノイズ又は拡大縮小処理をCPUの負担なく高速に実現でき、元の画像の変形も生じない。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例であるテレビゲーム装置のブロック図である。

第2図はVRAM内に格納される背景画データのうちVRAMエリアと表示画像エリアとの関係を示す図解図である。

第3図は第2図のVRAMエリア内の位置を示す座標x, yのビット構成を示す図である。

第4図はVRAMのメモリマップを示す図である。

第5図は第1図のVRAMにおいて格納される背景画の色データの格納状況を示す図である。

第6図は第1図のVRAM内の背景画キャラクタエリア及び背景画スクリーンエリアにおけるアドレス及びデータのビット構成を示す図である。

第7図は背景画の回転及び拡大縮小処理の原理を説明するための図である。

第8図は背景画アドレス制御回路の24の詳細な回路図である。

第9A図および第9B図は背景画アドレス制御回路の動作を示すタイミングチャートである。

第10図、第11図、第12図及び第13図は背景画像データに基づく平面的な表示例と、同じ背景画像データを用いて拡大・回転・縮小もしくはこれらの組合せ処理した場合の表示例を示す。

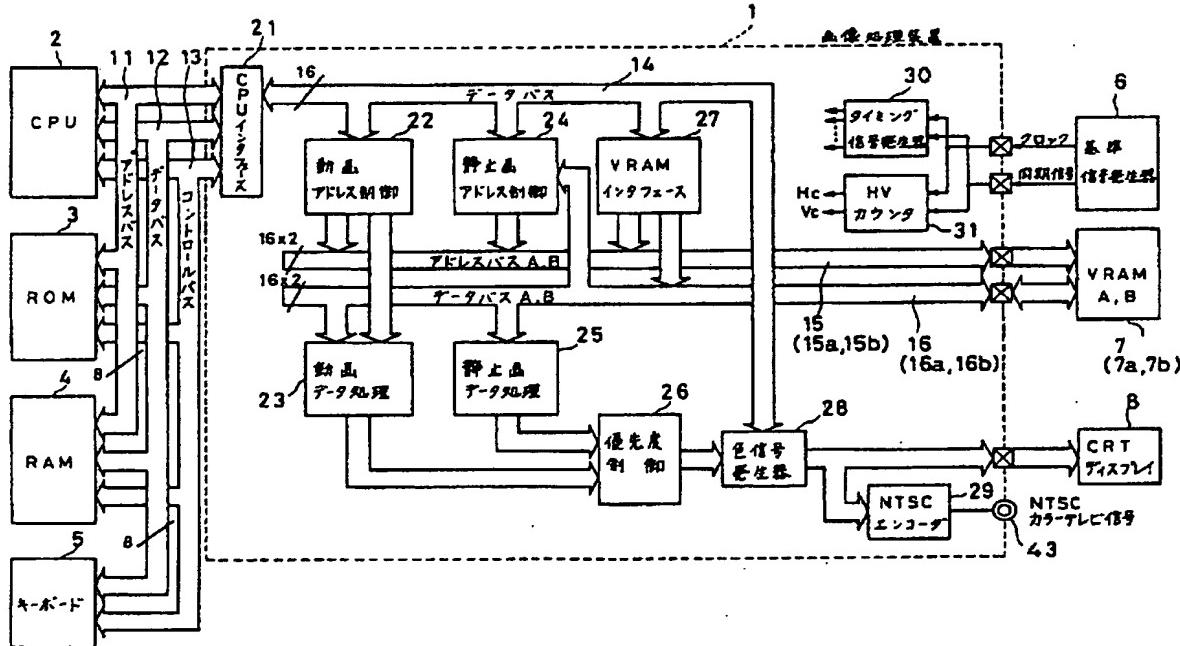
第14図は従来例のテレビゲーム装置のブロック図である。

図において、1は画像処理ユニット、2は中央演算処理装置(CPU)、3はROM、4はRAM、5はキーボード、6は基準信号発生器、7はVRAM、8はCRTディスプレイ、21はCPUインターフェース回路、22は動画アドレス制御回路、23は動画データ処理回路、24は背景画アドレス制御回路、25は背景画データ処理回路、26は優先度制御回路、27はVRAMインターフェース回路、28は色信号発生器、29はNTSCエンコーダ、30はタイミング信号発生器、31はHVカウンタを示す。

特許出願人 任天堂株式会社  
株式会社 リコー



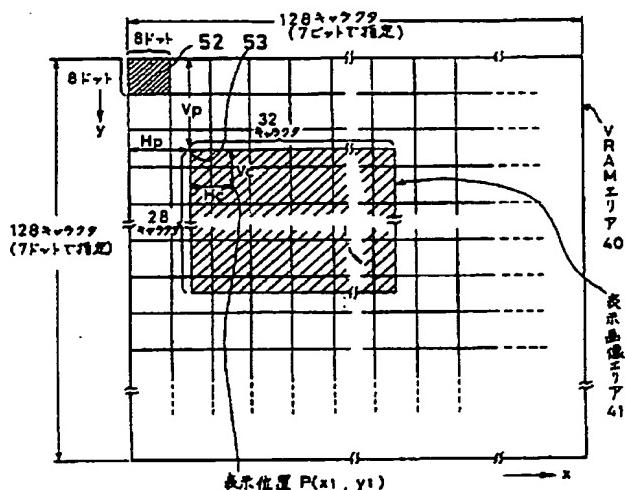
第1図



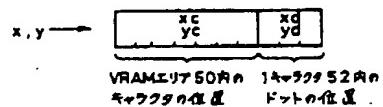
# **BEST AVAILABLE COPY**

特開平3-63695 (18)

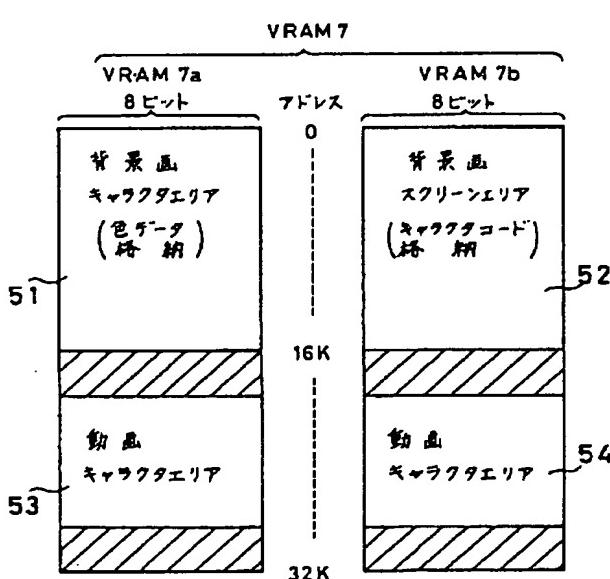
## 第 2 図



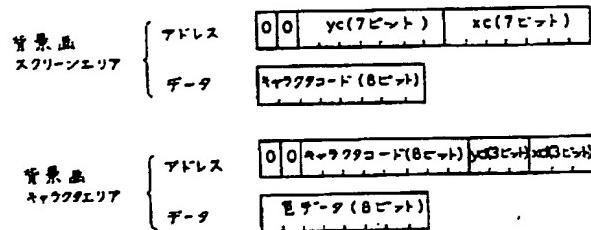
### 第 3 図



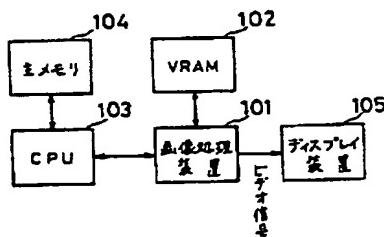
#### 第 4 図



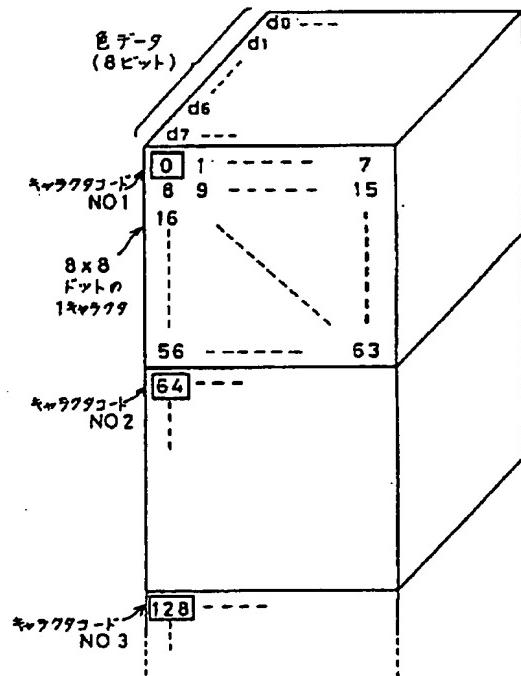
第 6 四



第 14 図



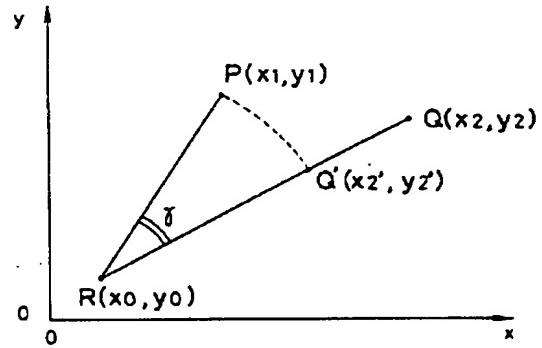
### 第 5 圖



# BEST AVAILABLE COPY

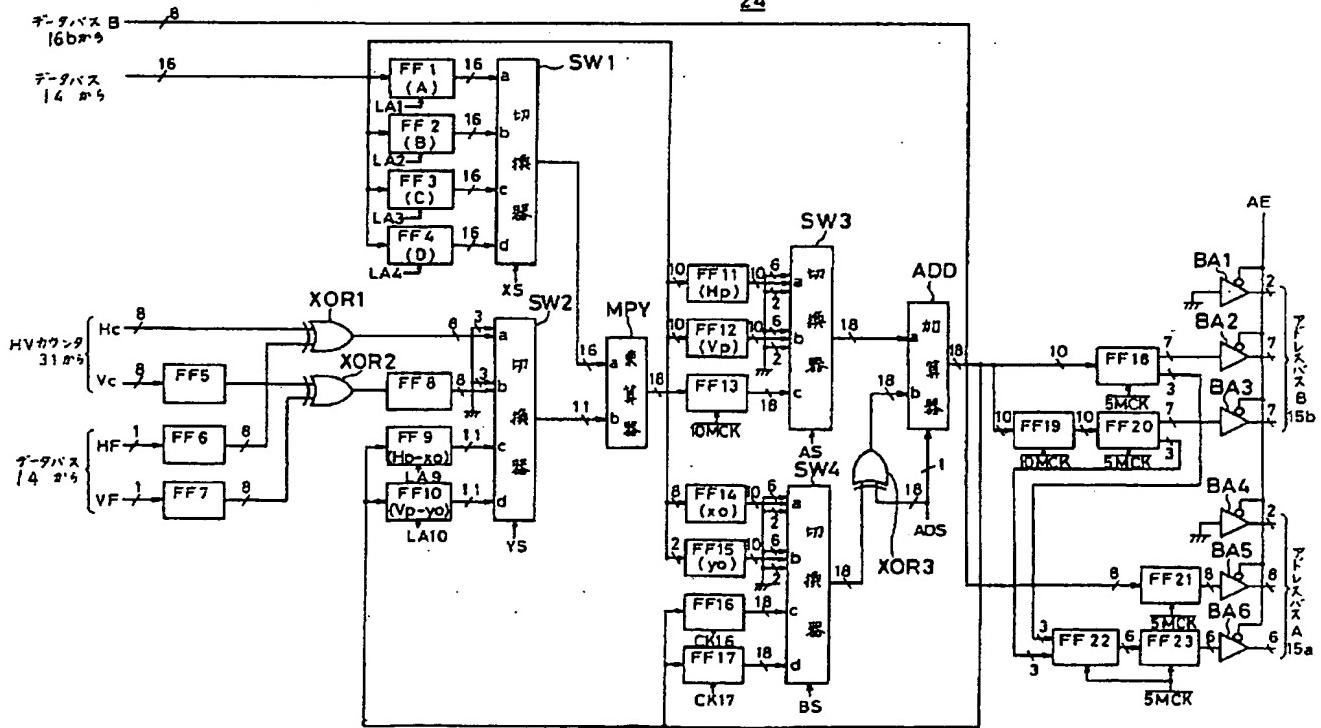
特開平3-63695(20)

第 7 図



第 8 図

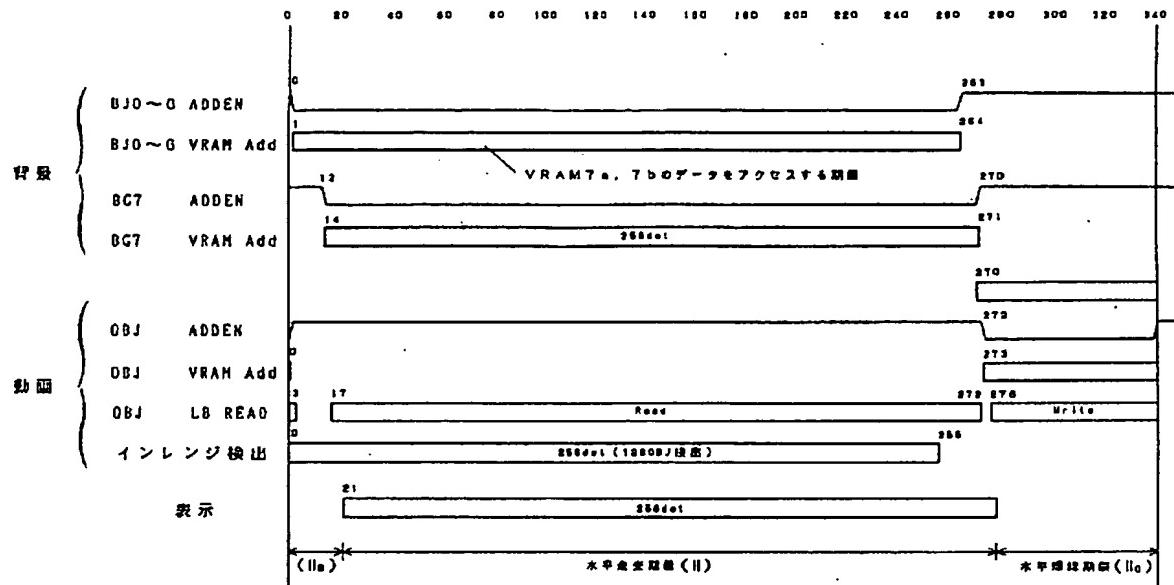
24



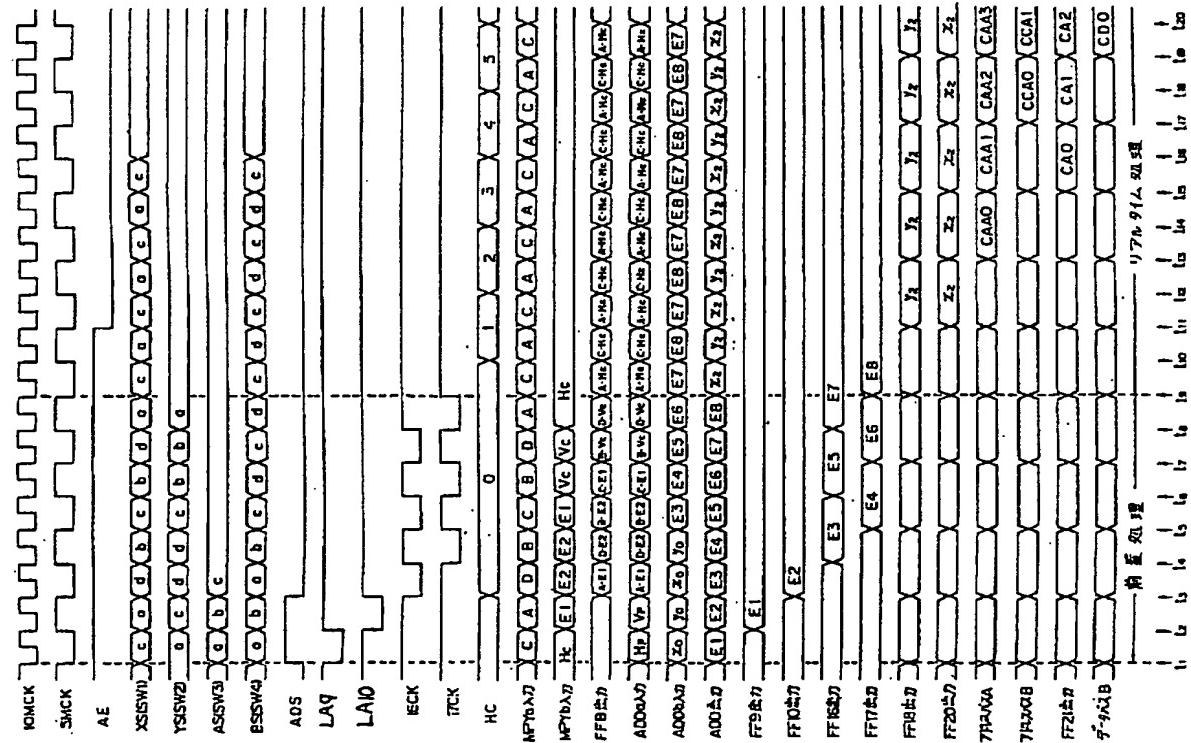
**BEST AVAILABLE COPY**

特開平3-63695(21)

第9A圖



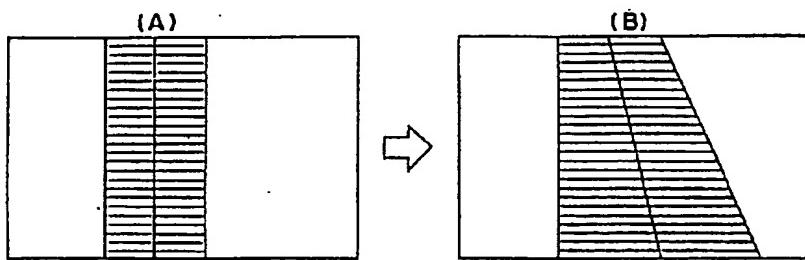
四  
卷



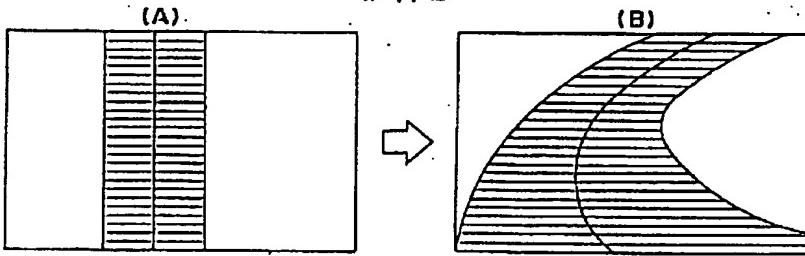
BEST AVAILABLE COPY

特開平3-63695(22)

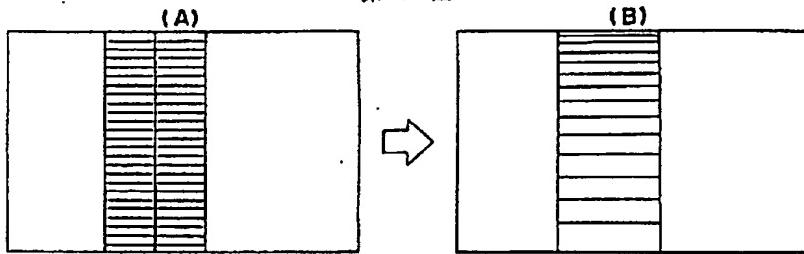
第10図



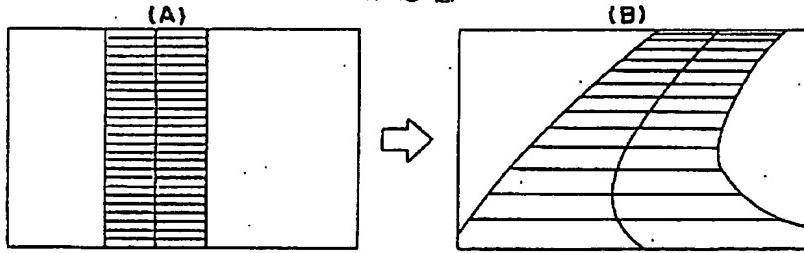
第11図



第12図



第13図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成6年(1994)4月22日

【公開番号】特開平3-63695

【公開日】平成3年(1991)3月19日

【年通号数】公開特許公報3-637

【出願番号】特願平1-200073

【国際特許分類第5版】

G09C 5/36 9177-5G

A63F 9/22 B 9209-2C

G06F 15/62 340 8125-5L

15/66 345 8420-5L

手続補正書

5. 補正により増加する請求項の数 3

平成5年6月30日 通

特許庁長官殿

1. 事件の表示

平成1年特許願第200073号

2. 発明の名称

画像処理装置

3. 補正をする者

事件との関係 特許出願人

住所 京都市東山高松町60番地

名称 任天堂株式会社

代表者 山内 博

4. 補正命令の日付

自発補正

6. 補正の対象

明細書の特許請求の範囲の欄および発明の詳細な説明の欄

7. 補正の内容

(1) 明細書の特許請求の範囲を別紙の通り訂正する。

(2) 明細書第9頁第18行から第12頁第1行を下記の文章に訂正する。

記

〔課題を解決するための手段〕

請求項1に係る発明は、静止画像の表示位置に対応するアドレスに静止画像の画像データを記憶するための記憶手段と、静止画像の回転、拡大および縮小の少なくとも1つのために、ラスタスキヤンディスプレイの水平掃線期間中に次の水平走査期間に必要なマトリクス演算の一部を実行し、次の水平走査期間に各画素毎にマトリクス演算の



残りの部分を実行するマトリクス演算手段と、マトリクス演算手段による演算結果に基づいて記憶手段から画像データを読み出すための読出手段と、読出手段によって読み出された画像データに基づいて映像信号を発生する映像信号発生手段とを備えたことを特徴とする。

請求項2に係る発明は、表示画面上の水平方向および垂直方向の位置を表す第1の位置データを発生するための位置データ発生手段と、静止画像の回転のためのパラメータデータを与えるためのパラメータデータ付与手段と、第1の位置データおよびパラメータデータに基づいて回転後の表示画面上の第2の位置データを演算する位置データ演算手段と、それぞれが複数の画素からなる複数のキャラクタを表すキャラクタデータを記憶するための第1の記憶手段と、位置データ演算手段によって演算された第2の位置データに基づいて第1の記憶手段からキャラクタデータを読み出すための第1の読出手段と、キャラクタを構成するそれぞれの画素の色データを記憶するための第2の

記憶手段と、第1の読出手段によって読み出されたキャラクタデータおよび第2の位置データに基づいて第2の記憶手段から色データを読み出すための第2の読出手段と、第2の読出手段によって読み出された色データに基づいて映像信号を発生する映像信号発生手段とを備えたことを特徴とする。

請求項3に係る発明は、表示画面上の水平方向および垂直方向の位置を表す第1の位置データを発生するための位置データ発生手段と、静止画像の回転、拡大および縮小の少なくとも1つのためのパラメータデータを与えるためのパラメータデータ付与手段と、第1の位置データおよびパラメータデータに基づいて回転、拡大および縮小の少なくとも1つの後の表示画面上の第2の位置データを演算する位置データ演算手段と、それぞれが複数の画素からなる複数のキャラクタを表すキャラクタデータを記憶するための第1の記憶手段と、位置データ演算手段によって演算された第2の位置データに基づいて第1の記憶手段からキャラ

クタデータを読み出すための第1の読出手段と、キャラクタを構成するそれぞれの画素の色データを記憶するための第2の記憶手段と、第1の読出手段によって読み出されたキャラクタデータおよび第2の位置データに基づいて第2の記憶手段から色データを読み出すための第2の読出手段と、第2の読出手段によって読み出された色データに基づいて映像信号を発生する映像信号発生手段とを備えたことを特徴とする。

#### 〔作用〕

以上のように構成することにより、記憶手段は、静止画像の表示位置に対応するアドレスに静止画像の画像データを記憶する。マトリクス演算手段は、静止画像の回転、拡大および縮小の少なくとも1つのために、ラスタスキャンディスプレイの水平帰線期間中に次の水平走査期間に必要なマトリクス演算の一部を実行し、次の水平走査期間に各画素毎にマトリクス演算の残りの部分を実行する。読出手段は、マトリクス演算手段による演算結果に基づいて記憶手段から画像データを読み

出す。映像信号発生手段は、読出手段によって読み出された画像データに基づいて映像信号を発生する。これによって、記憶手段によって記憶された画像データの画像に対する回転、拡大および縮小のうちの少なくともいずれか1つの処理を行ったときの映像信号が得られる。

また、位置データ発生手段は、表示画面上の水平方向および垂直方向の位置を表す第1の位置データを発生し、パラメータデータ付与手段は、静止画像の回転（および／または拡大、縮小のうちの少なくとも1つ）のためのパラメータデータを与える。次に、位置データ演算手段が、第1の位置データおよびパラメータデータに基づいて回転（および／または拡大、縮小のうちの少なくとも1つ）後の表示画面上の第2の位置データを演算する。第1の読出手段は、位置データ演算手段によって演算された第2の位置データに基づいて、第1の記憶手段に記憶されたそれぞれが複数の画素からなる複数のキャラクタを表すキャラクタデータを読み出す。第2の読出手段は、第1の読出

手段によって読み出されたキャラクタデータおよび第2の位置データに基づいて、第2の記憶手段に記憶されたキャラクタを構成するそれぞれの画素の色データを読み出す。映像信号発生手段は、第2の読出手段によって読み出された色データに基づいて映像信号を発生する。これによって、第1の記憶手段に記憶されたキャラクタデータの画像に対する回転（および／または拡大、縮小のうちの少なくとも1つ）の処理を行った時の映像信号が得られる。

以上

## 2. 特許請求の範囲

(1) 水平方向および垂直方向にそれぞれ複数の画素で構成される表示画面を有するラスタスキャンディスプレイに静止画像を表示する画像処理装置であって、

静止画像の表示位置に対応するアドレスに、前記静止画像の画像データを記憶するための記憶手段、

前記静止画像の回転、拡大および縮小の少なくとも1つのために、前記ラスタスキャンディスプレイの水平掃描期間中に次の水平走査期間に必要なマトリクス演算の一部を実行し、前記次の水平走査期間に各画素毎に前記マトリクス演算の残りの部分を実行するマトリクス演算手段、

前記マトリクス演算手段による演算結果に基づいて前記記憶手段から前記画像データを読み出すための読出手段、および

前記読出手段によって読み出された画像データに基づいて、映像信号を発生する映像信号発生手段を備える、画像処理装置。

(2) 水平方向および垂直方向にそれぞれ複数の画素で構成される表示画面を有する表示手段に静止画像を表示する画像処理装置であって、

前記表示画面上の前記水平方向および前記垂直方向の位置を表す第1の位置データを発生するための位置データ発生手段、

前記静止画像の回転のためのパラメータデータを与えるためのパラメータデータ付与手段、

前記第1の位置データおよび前記パラメータデータに基づいて前記回転後の前記表示画面上の第2の位置データを演算する位置データ演算手段、

それぞれが複数の画素からなる複数のキャラクタを表すキャラクタデータを記憶するための第1の記憶手段、

前記位置データ演算手段によって演算された前記第2の位置データに基づいて前記第1の記憶手段から前記キャラクタデータを読み出すための第1の読出手段、

前記キャラクタを構成するそれぞれの画素の色データを記憶するための第2の記憶手段、

前記第1の読出手段によって読み出されたキャラクタデータおよび前記第2の位置データに基づいて前記第2の記憶手段から前記色データを読み出すための第2の読出手段、および

前記第2の読出手段によって読み出された前記色データに基づいて映像信号を発生する映像信号発生手段を備える、画像処理装置。

(3) 水平方向および垂直方向にそれぞれ複数の画素で構成される表示画面を有する表示手段に静止画像を表示する画像処理装置であって、

前記表示画面上の前記水平方向および前記垂直方向の位置を表す第1の位置データを発生するための位置データ発生手段、

前記静止画像の回転、拡大および縮小の少なくとも1つのためのパラメータデータを与えるためのパラメータデータ付与手段、

前記第1の位置データおよび前記パラメータデータに基づいて前記回転、拡大および縮小の少なくとも1つの後の前記表示画面上の第2の位置データを演算する位置データ演算手段、

それが複数の画素からなる複数のキャラクタを表すキャラクタデータを記憶するための第1の記憶手段、

前記位置データ演算手段によって演算された前記第2の位置データに基づいて前記第1の記憶手段から前記キャラクタデータを読み出すための第1の読み出手段、

前記キャラクタを構成するそれぞれの画素の色データを記憶するための第2の記憶手段、

前記第1の読み出手段によって読み出されたキャラクタデータおよび前記第2の位置データに基づいて前記第2の記憶手段から前記色データを読み出すための第2の読み出手段、および

前記第2の読み出手段によって読み出された前記色データに基づいて映像信号を発生する映像信号発生手段を備える、画像処理装置、

(4) 前記第1の読み出手段は、前記第2の位置データの一部に基づいて前記第1の記憶手段をアクセスし、前記第2の読み出手段は前記キャラクタデータおよび前記第2の位置データの残りの部分に

直方向の拡大または縮小のための倍率をβとし、回転されるべき角度をγとしたときA = 1 / α · cos γ, B = 1 / α · sin γ, C = -1 / β · sin γ, D = 1 / β · cos γとする)を実行して前記回転、拡大および縮小の少なくとも1つの後の前記表示画面上の画素の前記第2の位置データ(x<sub>1</sub>, y<sub>1</sub>)を算出するマトリクス演算手段を含む、請求項第3項記載の画像処理装置。

(6) 前記位置データ発生手段は、前記水平方向および前記垂直方向のオフセットデータをH<sub>p</sub>およびV<sub>p</sub>とし、かつ前記表示画面上の前記画素の前記水平方向および前記垂直方向の位置データをH<sub>c</sub>およびV<sub>c</sub>としたとき、

$$x_1 = H_p + H_c$$

$$y_1 = V_p + V_c$$

式で表される演算を行って前記第1の位置データ(x<sub>1</sub>, y<sub>1</sub>)を発生する手段を含む、請求項4項記載の画像処理装置。

(7) 前記表示手段はラスタスキャンドィスプレイを含み、前記演算手段は前記ラスタスキャンド

に基づいて前記第2の記憶手段をアクセスする手段を含む、請求項第3項記載の画像処理装置。

(5) 前記パラメータ付与手段はパラメータデータ(A, B, CおよびD)を発生し、そして前記位置データ発生手段は前記表示画面上の前記第1の位置データ(x<sub>1</sub>, y<sub>1</sub>)を発生し、

前記位置データ演算手段は、前記回転、拡大および縮小の少なくとも1つのための中心座標データ(x<sub>0</sub>, y<sub>0</sub>)を発生する中心座標データ発生手段を含み、かつ

前記パラメータデータ(A, B, C, D), 前記第1の位置データ(x<sub>1</sub>, y<sub>1</sub>)および前記中心座標データ(x<sub>0</sub>, y<sub>0</sub>)に基づいて、

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} x_0 - x_1 \\ y_0 - y_1 \end{bmatrix} + \begin{bmatrix} x_0 \\ y_0 \end{bmatrix}$$

式に従ってマトリクス演算(但し、前記水平方向の拡大または縮小のための倍率をαとし、前記垂

イスプレイの水平帰線期間中に次の水平走査期間に必要な前記マトリクス演算の一部を実行し、前記次の水平走査期間に各画素毎に前記マトリクス演算の残りの部分を実行する、請求項5項記載の画像処理装置。

(8) 前記第1の記憶手段は、前記ラスタスキャンドィスプレイの表示画面サイズよりも大きな記憶エリアを含み、

前記データ発生手段は、前記第1の記憶手段に記憶されているキャラクタのうち、表示されるべきキャラクタのキャラクタデータを指定するデータを発生するための手段を含む、請求項7項記載の画像処理装置。

(9) 前記演算手段は、

$$\begin{aligned} x_1 &= A(H_p - x_0) + B(V_p + y_0) \\ &\quad + x_0 + A \cdot H_c + B \cdot V_c \\ y_1 &= C(H_p - x_0) + D(V_p + y_0) \\ &\quad + x_0 + C \cdot H_c + D \cdot V_c \end{aligned}$$

式に従って前記第2の座標データ(x<sub>1</sub>, y<sub>1</sub>)を演算する手段を含む、請求項6項記載の画像処

特開平3-63695

理装置。